

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

Partial English Translation of
Publication JP. 53-26828A for UM

From line 3 on page 1 to the bottom line on page 2

[Claim]

1. A microprogram control unit in a computer thereof which controls the microprogram, characterized by comprising

a register for storing an address of a microprogram of a branch point, a register for indicating the validity of branching, a register for indicating an address of a branch destination, and means for detecting coincidence between the address of the microprogram and the address of the branch point are included, wherein

the address of the branch destination is selected as a next address when the branching is valid and the address of the microprogram reaches the address of the branch point, and a regular address is selected otherwise.

[Detailed Description of the Device]

In a conventional computer of a microprogram control system, microprogram groups are each constituted by function, or a plurality of microprogram groups compose one function. Some of the microprogram groups are commonly used for another function in many cases. For example, in the case where Function A is composed of microprogram groups A_1 , C and A_2 and Function B is composed of microprogram groups B_1 , C and B_2 , the microprogram group C is commonly used for Functions A and B, as shown in Figure 1.

Figure 2 illustrates the example in which the microprogram group C is commonly used for Functions A and B.

More specifically, in any of Functions A and B, the microprogram group C is inevitably executed after microprogram groups A_1 or B_1 is executed, and whether the function under execution is "A" or not is judged concurrently with termination of the execution of the microprogram group

C. The microprogram A_2 is executed when the function under execution is "A", and the microprogram B_2 is executed when the function under execution is not "A" (the function is "B").

The above system involves no problems when a commonly used part is known in advance (more specifically, when Functions A and B are commonly composed of the microprogram groups). However, in the case where a firmware A is added after Function B is constituted, change is required with regard to Function B in addition.

From lines 4 to 7 on page 4

The present device is made in view of the above problems. An object thereof is to provide a microprogram control unit capable of commonly using a microprogram group easily.

From line 18 on page 4 to line 2 on page 8

Figure 4 is a flow chart illustrating the present device. The address (J) of a microprogram, by which branching is to be judged after the microprogram group A_1 , and a return address (B) are stored respectively in registers which has been prepared in advance. In the hardware, the content of the register which stores the address (J) and the actual address of a microprogram are compared every time the microprogram is executed. When coincidence therebetween is found, a program jumps to the address of the content of the register which stores the return address (B).

Figure 5 illustrates a circuit diagram according to an embodiment of the present device. Reference number 1 denotes an address register, reference number 2 denotes a register for storing an address of a branch destination, reference number 3 denotes a register for storing an address of a branch point, reference number 4 denotes coincidence circuit for detecting coincidence between the content 12 of the address register 1 and

the content 14 of the register 3. Reference number 5 denotes a flip-flop which is set by a signal 16 and is reset by a signal 17. The flip-flop indicates whether branching is valid or not. Reference number 6 denotes an AND gate for obtaining a logical product of the output of the coincidence circuit 4 and that of the flip-flop 5, reference number 7 denotes an AND gate for outputting the content of the register 2 to an OR gate 9 when the output of the AND gate 6 is "1", reference number 8 denotes an inhibit gate for outputting a signal 18 which indicates a next address to the OR gate 9 when the output of the AND gate 6 is "0", and reference number 10 denotes an AND gate for setting the output of the OR gate 9 to the address register 1 by an address register set signal 19.

The operation will be hereinafter described. When the registers 2 and 3 are not set (the flip-flop 5 indicates this state), the output of the AND gate 6 is "0". Accordingly, every time one step of the microprogram terminates, the signal of the next regular microprogram address 18 is set to the address register 1 by a timing signal 19 for setting a microprogram address via the inhibit gate 8, the OR gate 9 and the AND gate 10, whereby the execution of the microprogram proceeds. Further, when the microprogram address (B) of the branch destination and the microprogram address (J) of the branch point are stored into the registers 2 and 3 by input signals 15 and 13, respectively, after the microprogram group A₁ is terminated, the flip-flop 5 is set by a set signal 16 and the output of the coincidence circuit 4 becomes valid through the AND gate 6. When the microprograms are sequentially executed and the last microprogram address (J) of the microprogram group C is stored into the address register, the output signal (set content) 12 of the register 1 is coincident with the output signal 14 of the register 3, resulting in that the output of the coincidence circuit 4 is "1". Accordingly, the output (B) of the register 2, not the address 18, is selected as a next microprogram address, the program jumps (branches) to the microprogram group A₂ and

the flip-flop 5 is reset by the reset signal 17. Thereafter the microprogram group A_2 is executed regularly. As an employable method, there can be considered a method of setting the number of steps of the microprogram group C and detecting a branch point when the number of executed steps in the commonly used microprogram group C reaches the set number of steps, instead of the method of observing the coincidence of the address of the branch destination of the shared microprogram group. However, this method is unemployable when the step number in the microprogram group C changes (for example, if another microprogram group is additionally used or is not used in the microprogram group C, the step number to be designated is not fixed. Therefore, it is impossible to detect the microprogram address of the branch point.).

From line 17 on page 8 to line 8 on page 12

Figure 7 illustrates an example of multiple use. When there are provided the following four functions: Function A composed of the microprogram groups A_1 , E and A_2 ; Function B composed of the microprogram groups B_1 , E and B_2 ; Function C composed of the microprogram groups C_1 , F and C_2 ; Function D composed of the microprogram groups D_1 , F and D_2), Functions A and B commonly use the microprogram group E and Functions C and D commonly use the microprogram group F. Further, the microprogram groups E and F share a microprogram group G, which is common to each other. In this case, Function A uses the common program groups E and G (double use). In Figure 8, Functions B, C and D each uses double (double use).

Figure 7 illustrates an example of the structure of the entire unit in multiple use.

Generally, when the registers 3-1, 3-2... and 3-N, and the registers 2-1, 2-2... and 2-N are not set (the "0" detection circuit 24 indicates this state. The operation thereof will be described later.), the output of the

AND gate 6 is "0". Accordingly, every time one step of the microprogram terminates, the signal of the regular next microprogram address 18 is set to the address register 1 by the timing signal 19 for setting a microprogram address via the inhibit gate 8, an OR gate 9 and the AND gate 10, whereby the execution of the program proceeds.

When the common part is used first, +1 is added to a register 23 for indicating the degree of multiplicity by a signal 28 (the register 23 is embodied by, for example, a reversible counter, and indicates "0" when no common part is used.). Distribution circuits 22-1 and 22-2 store the address 13 of the branch point and the address of the branch destination in corresponding registers 3-1 and 2-1, respectively, according to the output 27 of the register 23.

A selector circuit 21-1 outputs the output 25-1 of the register 3-1 to reference number 14 according to the signal 27 as one input of the coincidence circuit 4, and a selector circuit 21-2 outputs the output 26-1 of the register 2-1 to the reference number 31 according to the signal 27 as one input of the AND gate 7.

The address of a microprogram under execution is stored in the address register 1 and the output signal 12 thereof is given to the other input of the coincidence circuit 4.

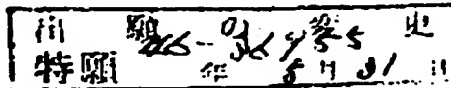
When another common part is further used before coincidence is detected, +1 is further added to the register 23 again by the signal 28, and then, the address of the branch point and the address of the branch destination thereof are stored in the corresponding registers 3-2 and 2-2, respectively.

In a similar manner as the above, a common part can be used for N functions at maximum.

When the coincidence is detected, -1 is added to the register 23 by the signal 29. Reference number 24 detects whether the output 27 of the register 23 is "0" or not and outputs the "1" output 30 when the output 27

is not "0". The branching is invalid when the output 27 is "0", and is valid when the output 27 is not "0". When the branching is valid, the address of the branch point, which is in the register corresponding to the signal 27, is selected by the selector circuit 21-1 and the address of the branch destination is also selected by the selector circuit 21-2.

When the coincidence is detected in the first execution of the commonly used microprogram (when the microprogram address 12 at execution and the address 25-1 of the first branch point are given to the coincidence circuit 4 and they are coincident with each other), the AND gate 6 outputs the output "1". Further, the address 26-1 of the branch destination selected by the selector circuit 21-2 is given to reference number 31, and is set to the address register 1 by the timing signal 19 for setting a microprogram address via the AND gate 7, the OR gate 9 and the AND gate 10. More specifically, the address of the microprogram execution jumps to an address of the branch destination, which has been previously given.



(請)

(3,000円)

実用新案登録願

(実用新案法第8条第1項の規定による実用新案登録出願)

昭和 年 月 日

52 5 11

特許庁長官 殿

考案の名称 マイクロプログラム制御装置

原特許出願の表示 昭和46年特許願第36955号

(昭和46年5月31日)

考案者

茨城県日立市大みか町5丁目2番1号

株式会社日立製作所 大みか工場内

氏名

石田 宏一郎 (ほか 1 名)

実用新案登録出願人

〒100 東京都千代田区丸の内一丁目5番1号

株式会社日立製作所

代表者 吉山 博吉

代理人

〒100 東京都千代田区丸の内一丁目5番1号

株式会社日立製作所内

電話東京 270-2111 (大代表)

氏名 6189: 弁護士 高橋 明 夫

添附書類の目録

(1) 明細書 1通

(2) 図面 1通

(3) 発明の概要 1通

(4) 実用新案登録願調本 1通

(5) 出願審査請求書 1通

(変更を要しないため省略する)

照合



方式審査 (Formal Examination)

52 058591 53.26828

明 細 書

考案の名称 マイクロプログラム制御装置

実用新案登録請求の範囲

1. マイクロプログラム制御を行う計算機において、分岐点のマイクロプログラムの番地を格納するレジスタ、分岐の有効性を示すレジスタ、分岐先の番地を示すレジスタおよびマイクロプログラムの番地が分岐点の番地に一致したことを検出する手段を有し、分岐が有効で且つマイクロプログラムの番地が分岐点の番地に達したとき次の番地として分岐先の番地を選択し、その他のときは通常の番地を選択するようにしたことを特徴とするマイクロプログラム制御装置。

考案の詳細な説明

一般にマイクロプログラム制御方式の計算機において、機能別にマイクロプログラム群が構成され、或いは複数個のマイクロプログラム群で1つの機能を構成するが、マイクロプログラム群のあるものは他の機能にも共通に使用される場合が多い。例えば、第1図に示すごとく機能Aがマイク

(1)



ロプログラム群 A_1 , C , A_2 から構成され、機能 B がマイクロプログラム群 B_1 , C , B_2 から構成される場合には、マイクロプログラム群 C は機能 A , B に共通に使用される。

マイクロプログラム群 C を機能 A , B で共通に使用する例を第 2 図に示している。

つまり機能 A , B のいずれであつても、マイクロプログラム群 A_1 , B_1 が実行されたら次に必ずマイクロプログラム群 C が実行されるようにし、マイクロプログラム群 C の実行終了と同時に今実行中の機能が A かどうかを判定し、 A の場合にはマイクロプログラム群 A_2 , A でない場合 (B の場合) はマイクロプログラム群 B_2 が実行されるようにしている。

この方式では、共通部分があらかじめわかつている場合、つまり、機能 A , B を同時にマイクロプログラム群で構成する場合は良いが、まず機能 B があり、次にファームウェア A を追加するという場合には、あらかじめ構成された機能 B に関しても変更を余義なくされる。

(2)



(ここでファームウェアとは、従来プログラムで組んでいた複数個の命令群をハードウェア化することをいう。)

この場合の様子を第3図に示している。

つまりマイクロプログラム群 B_1 、 C 、 B_2 から構成される機能 B があり、これにマイクロプログラム群 A_1 、 A_2 を追加し、全体として機能 A を追加する場合には、マイクロプログラム群 A_1 が実行されたら次にマイクロプログラム群 C が実行されるようにルートⅠをつくり、マイクロプログラム群 C が実行された後、ただちにマイクロプログラム群 B_2 が実行されないよう従来のルートⅡを削除し、判定部分をつくるためルートⅢをつくり、機能が A か否かによつてマイクロプログラム群 A_2 か B_2 を決定するためルートⅣ、ルートⅤを追加している。

このように、従来の方式ではあらかじめあつた機能 B を変更しなければならない。しかしながら一般にマイクロプログラムは読出し専用の固定メモリで構成される場合が多く、一部分だけの修正

(8)

ができないので、結局、本来共用できるマイクロプログラム群があつても、従来は独立なマイクロプログラム群による機能を構成していた。

本考案は以上の諸点に鑑み考案されたもので、その目的とするところはマイクロプログラム群の共用化を簡便に行うことのできるマイクロプログラム制御装置を提供するにある。

本考案の特徴とするところは、分岐点のマイクロプログラム番地アドレスを格納するレジスタと、分岐の有効性を示すレジスタと、分岐先番地を示すレジスタおよびマイクロプログラムの番地が分岐点にあることを検出する手段とを有し、分岐が有効でマイクロプログラムの番地が分岐点に達したとき次の番地として分岐先の番地を選択し、その他のときは通常の番地を選択するようにして、ファームウェアの追加を簡便に行なえるようにしていることである。

第4図は本考案を説明するフローチャートで、マイクロプログラム群A₁の次に分岐を判定すべきマイクロプログラムの番地(J)と、戻り番地

(4)



(B)を夫々用意されたレジスタに格納し、ハードウェアではマイクロプログラムの実行毎に(J)を格納したレジスタの内容と実際のマイクロプログラムの番地を比較し、一致が起こると戻り番地(B)を格納しているレジスタの内容の番地へジャンプするようにしている。

第5図は本考案の一実施例回路図を示すもので、1はアドレスレジスタ、2は分岐先の番地を格納するレジスタ、3は分岐点の番地を格納するレジスタ、4はアドレスレジスタ1の内容12とレジスタ3の内容14の一致を検出する一致回路、5は信号16によりセットされ、信号17によつてリセットされるフリップフロップで分岐が有効であるか否かを示すものである。6は一致回路4の出力とフリップフロップ5の論理積を得るアンドゲート、7はアンドゲート6の出力が「1」のとき、レジスタ2の内容をオアゲート9に出力するアンドゲート、8はアンドゲート6の出力が「0」のとき次のアドレスを示す信号18をオアゲート9に出力するインヒビットゲート、10はアドレスレジ

(5)

スタセット信号19によつてオアゲート9の出力をアドレスレジスタ1にセットするアンドゲートである。

次に動作を説明すると、通常レジスタ2, 3がセットされていないとき（これを示すのはフリップフロップ5である。）は、アンドゲート6の出力が「0」であるため、マイクロプログラムが1ステップずつ終了する毎に通常の次のマイクロプログラム番地18の信号がインヒビットゲート8、オアゲート9を介してマイクロプログラムアドレスセットのタイミング信号19によつてアンドゲート10を介し、アドレスレジスタ1にセットされマイクロプログラムの実行は進行する。マイクロプログラム群A₁が終了し、レジスタ2に分岐先のマイクロプログラムの番地（B）が、レジスタ3に分岐点のマイクロプログラムのアドレス（J）がそれぞれ入力信号15, 13によつて格納されると、フリップフロップ5はセット信号16によつてセットされ、一致回路4の出力がアンドゲート6を通つて有効となる。マイクロプロ

グラムが順次実行され、マイクロプログラム群 C の最終のマイクロプログラム番地 (J) がアドレスレジスタに格納されると、レジスタ 1, 3 の出力信号 (セット内容) 12, 14 が一致するため一致回路 4 の出力が「1」となり、次のマイクロプログラム番地としては 18 ではなく、レジスタ 2 の出力 (B) が選択され、マイクロプログラム群 A₂ にジャンプ (ブランチ) し、フリップフロップ 5 はリセット信号 17 によりリセットされ以後、マイクロプログラム群 A₂ が通常動作を行う。共用されるマイクロプログラム群の分岐先の番地の一致を見る代りに共用されるマイクロプログラム群 C のステップ数をレジスタにセットしマイクロプログラム群 C でのステップ数が指定されたステップ数に達した場合に分岐点にきたことを検出する方法も考えられるが、これはマイクロプログラム群 C 内のステップ数が変化する場合 (例えばマイクロプログラム群 C の中で更に他のマイクロプログラム群を使用したり、しなかつたりすると指定されるべきステップ数が定まらないので分岐

点のマイクロプログラム番地を検出できない)には使用できない。

第6図は本考案の他の実施例を示すもので、多重にマイクロプログラム群を使用する場合である。

一般のプログラムの類似で考えると、共通プログラム群をサブルーチンとすれば、このサブルーチンを多重に使用する場合即ち、サブルーチン中で他のサブルーチンを使用する場合に本考案を適用しているのである。

第1図に於けるマイクロプログラム群Cの中に更に他の機能で使用するマイクロプログラム群C'がある場合、これを2重と称し、更にマイクロプログラム群C'の中に他の機能で使用するマイクロプログラム群C''がある場合これを3重と称す。以下2重、3重、…N重を総称して多重と称する。

多重使用の例を第7図に示している。つまりマイクロプログラム群A₁、E、A₂から構成される機能A、マイクロプログラム群B₁、E、B₂から構成される機能B、マイクロプログラム群

C₁ , F , C₂ から構成される機能 C、マイクロプログラム群 D₁ , F , D₂ から構成される機能 D の 4 機能があり、機能 A と機能 B はマイクロプログラム群 E を、機能 C と機能 D はマイクロプログラム群 F をそれぞれ共通に使用している。更にマイクロプログラム群 E とマイクロプログラム群 F は互いに共通なマイクロプログラム群 G を使用している。この時機能 A は共通プログラム群 E , G を 2 重に使用していると言う。第 8 図の場合、機能 B , C , D も各々に 2 重使用をしている。

第 7 図は多重使用に係る装置全体の構成の一具体例を示すものである。

通常レジスタ 3-1 , 3-2 , ... 3-N、及び 2-1 , 2-2 , ... 2-N がセットされていない時 (これを示すのは「0」検出回路 24 であり、動作の説明は後述する。) は、アンドゲート 6 の出力が「0」であるため、マイクロプログラムが 1 ステップずつ終了する毎に通常の次のマイクロプログラム番地 18 の信号がインヒビットゲート 8、オアゲート 9 を介してマイクロプログラムア

(9)



ドレスセットのタイミング信号19によつてアンドゲート10を介してアドレスレジスタ1にセットされ、プログラムの実行は進行する。

第1回目の共通部分の使用が発生すると、多重度を示すレジスタ23は信号28^で+1され、(レジスタ23は具体的には例えば可逆カウンタで実現され、共通部分を使用していない時は「0」となっている。)レジスタ23の出力27に応じて分配回路22-1は分岐点の番地13を対応するレジスタ3-1へ格納し、分配回路22-2は分岐先アドレスを対応するレジスタ2-1へ格納する。

選択回路21-1は信号27に応じてレジスタ3-1の出力25-1を14に出力して一致回路4の一方入力とし、選択回路21-2は信号27に応じてレジスタ2-1の出力26-1を31に出力してアンドゲート7の一方入力とする。

実行中のマイクロプログラム番地はアドレスレジスタ1に格納され、その出力信号12は一致回路4の他方入力に与えられる。



一致が検出される前に更に別の共通部分の使用が発生するとレジスタ 23 は更に信号 28 で +1 されそれに対応するレジスタ 3-2 にその分岐点番地が、レジスタ 2-2 に分岐先番地が格納される。

以下同様に最大 N 重の共通部分の使用が可能となる。

一致が検出されるとレジスタ 23 は信号 29 で -1 される。24 はレジスタ 23 の出力 27 が「0」であるかどうかを検出し、27 が「0」でない時「1」出力 30 を出すもので、27 が「0」であれば分岐は無効であるとし、「0」でなければ有効とし、その時の分岐点番地は信号 27 に応じたレジスタが選択回路 21-1 によつて選択され、分岐先番地も同様に選択回路 21-2 によつて選択される。

第 1 回目の共通部分のマイクロプログラム実行中に一致が検出されると（実行時点のマイクロプログラム番地 12 と、第 1 回目の分岐点番地 25-1 が一致回路 4 に与えられ、一致した場合）ア

(11)



ンドゲート6は「1」出力を出し、選択回路21—2で選択された分岐先番地26—1が31に与えられ、アンドゲート7、オアゲート9を介してマイクロプログラムアドレスセットのタイミング信号19によつてアンドゲート10を介し、アドレスレジスタ1にセットされる。すなわちマイクロプログラム実行の番地があらかじめ与えられた分岐先番地にジャンプする。

このように本考案は、分岐点の番地を示すレジスタ、および分岐先の番地を示すレジスタを有し、各マイクロプログラムの実行毎に実行中のプログラムの番地が分岐点の番地に一致するか否かを判定し、一致した時に分岐先番地にジャンプするようにしてあるから、以前からあるマイクロプログラム群からなる機能を全く修正することなしに、新たな機能を、以前の機能の一部であるマイクロプログラム群を共通部分として追加することが可能となり、共用マイクロプログラム群の有効活用がなされる。

また本考案によれば、分岐点、分岐先のマイク



ロプログラムであることを示す情報を格納するレジスタとしてそれぞれマイクロプログラムの多重度に対応した複数個の分岐点、分岐先格納レジスタを設け、且つマイクロプログラム群の多重度を示す多重度レジスタを有し、多重度レジスタの内容に応じて複数個の分岐点、分岐先レジスタから各1つを選択し、分岐点および分岐先を決定するようにすることにより、共通マイクロプログラム群の多重使用が簡便に行なわれる。

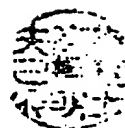
図面の簡単な説明

第1図は一般的なマイクロプログラム群構成の機能を説明する図、第2図はマイクロプログラム群の一部を共用して構成した機能を説明する図、第3図は以前からあつた機能に新たな機能を追加した場合の説明をする図、第4図は本考案の説明に用いられる図、第5図、第6図はそれぞれ本考案の実施例を示す図、第7図は多重使用を行うマイクロプログラム群構成の機能を説明する図である。

1…アドレスレジスタ、2…分岐先格納レジスタ、

3…分岐点格納レジスタ、4…一致回路、5…フ
リップフロップ、6, 7, 10…アンドゲート、
8…インヒビットゲート、9…オアゲート、18
…通常次番地、19…アドレスセット信号。

代理人 弁理士 高橋明夫

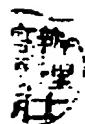


10

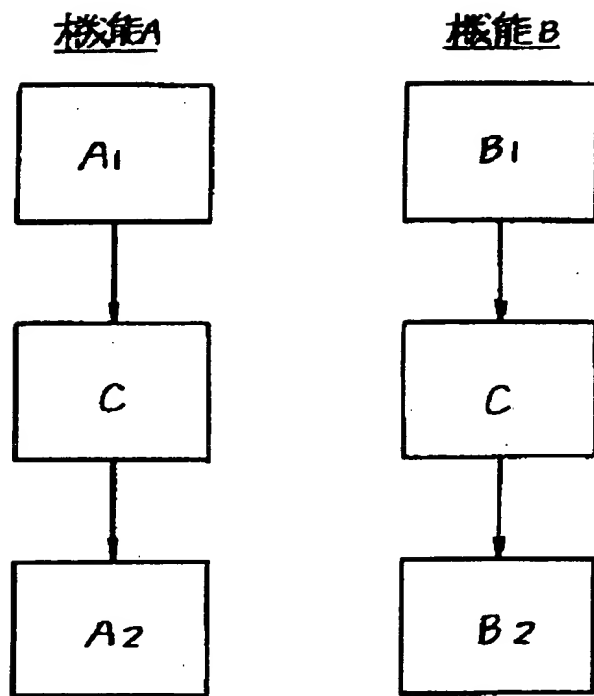
15

20

04



才1図

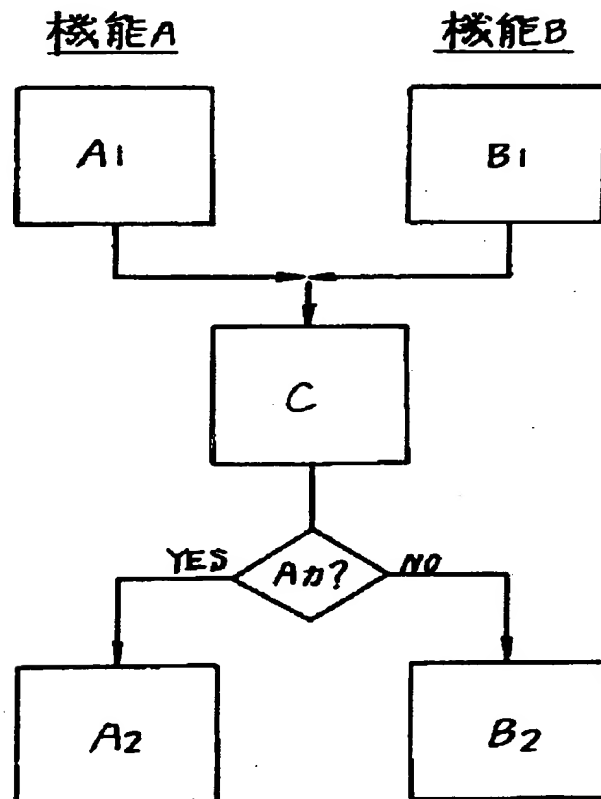


26828 1/7

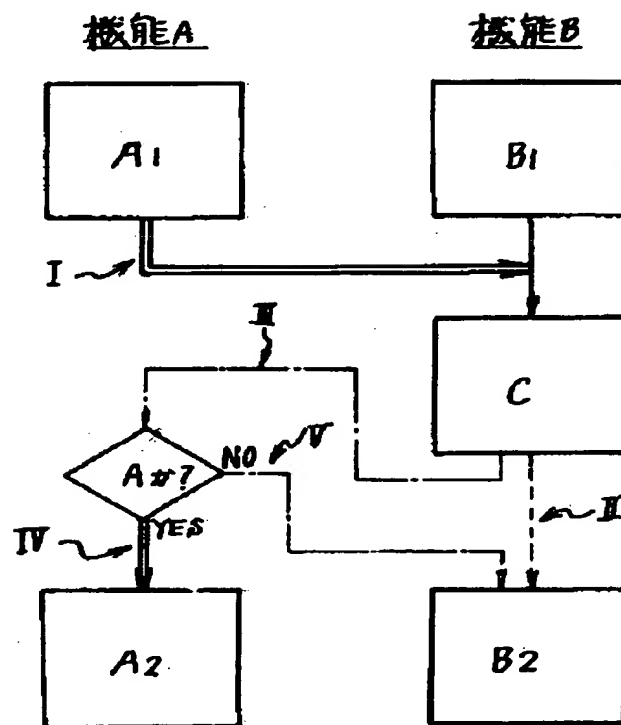
代理人 高橋明夫

827

才 2 図



才3 図

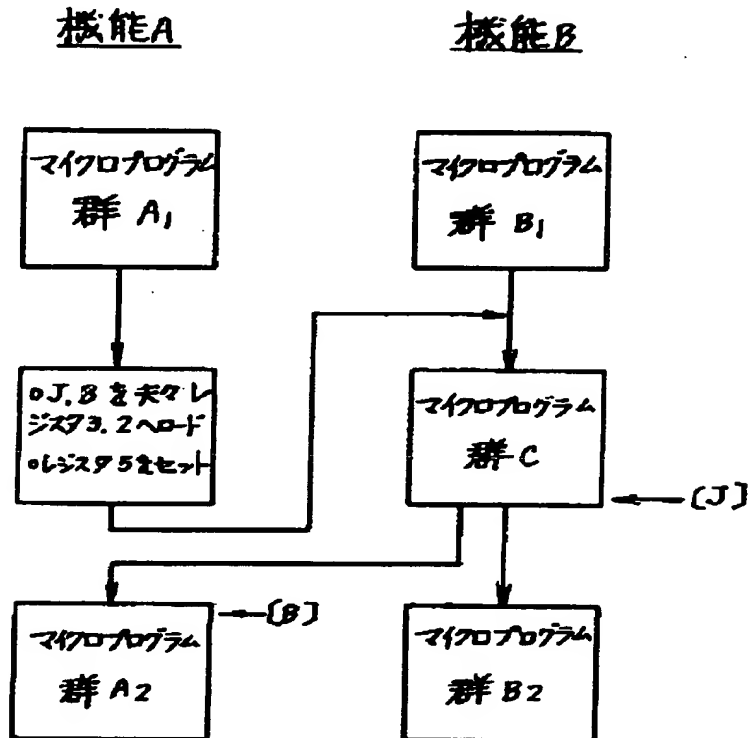


28828 3/7

代理人 高橋明夫

825

図4

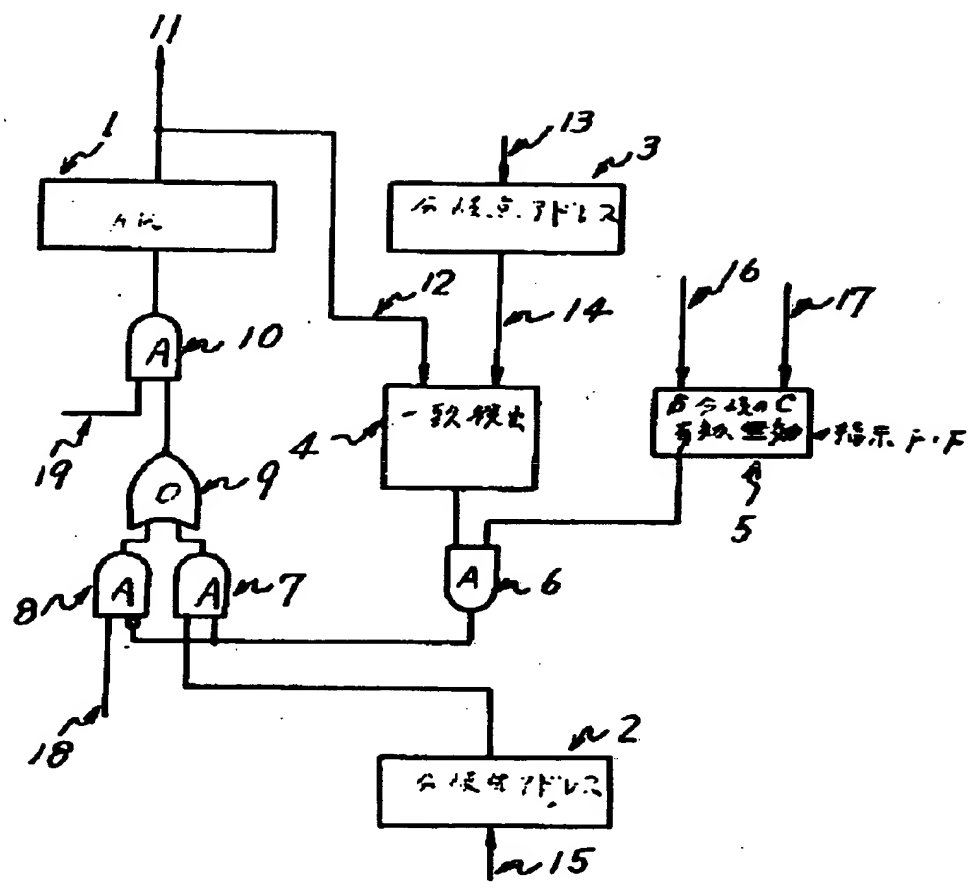


26828 4/3

代理人 高橋明夫

26828

才 5 図



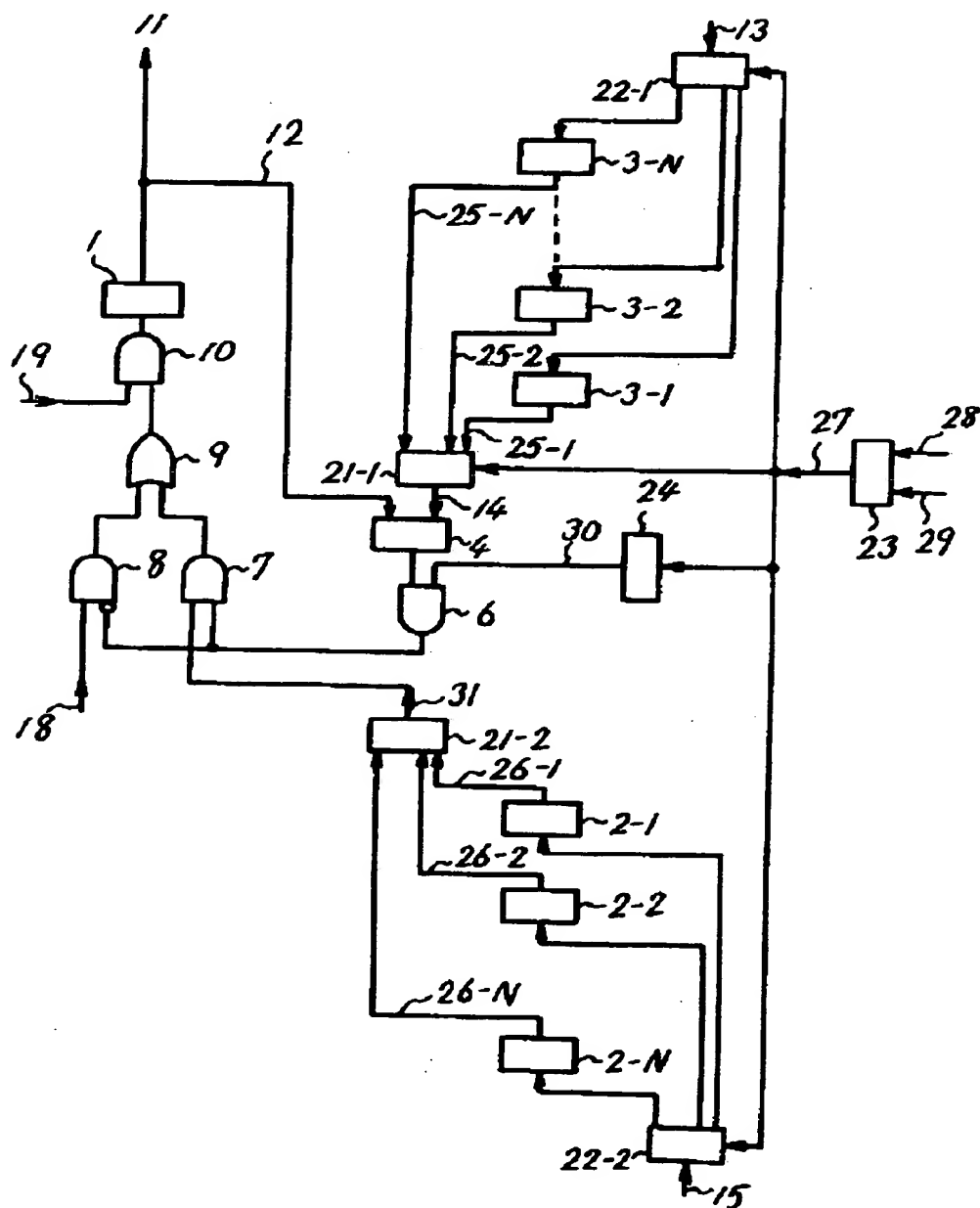
26828 5/7

代理人 高橋明夫



~~634~~

第 6 図



26828

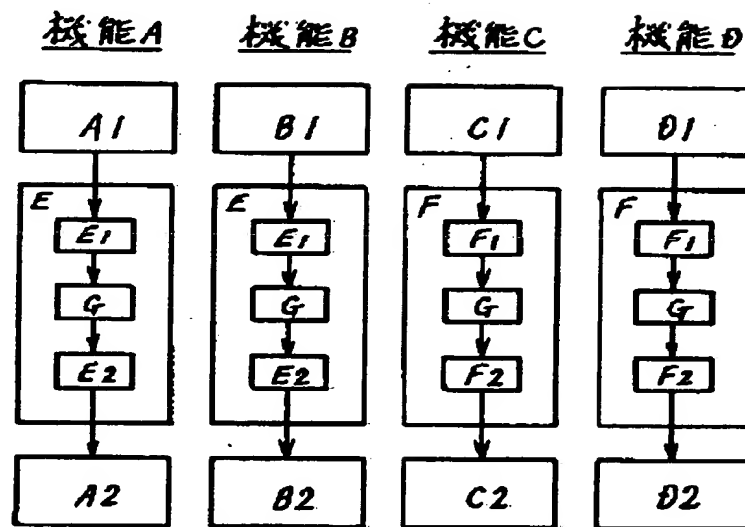
6/9

代理人

高橋明夫



第 7 図



26828 7/7

代理人 高橋 明 夫



前記以外の考案者，実用新案登録出願人または代理人

考 案 者

住 所 茨城県日立市大みか町5丁目2番1号
株式会社 日立製作所 大みか工場内
氏 名 井 手 寿 之



手続補正書

昭和52年 9月 21日

特許庁 長 官 熊 谷 善 二 殿

事 件 の 表 示

昭 和 5 2 年 実 用 新 案 登 録 願 第 5 8 5 9 4 号

考 案 の 名 称

マイクロプログラム制御装置

補 正 を す る 者

事件との関係 実用新案登録出願人

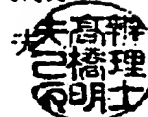
名 称 日 立 製 作 所 株 式 会 社

代 理 人

居 所 東京都千代田区丸の内一丁目5番1号

株式会社日立製作所内 電話 東京270-2111 大代表

氏 名 高 橋 明 夫



補正命令の日付 昭和52年8月23日

補 正 の 対 象

願書の考案者の住所の欄

補 正 の 内 容

(1) 別紙の通り。



以 上

53-26828

(3,000円)

実用新案登録願

(実用新案法第8条第1項の規
定による実用新案登録出願)
昭和52年5月11日

特許庁長官 殿

考案の名称 マイクロプログラム制御装置
原特許出願の表示 昭和46年特許願第36955号
(昭和46年5月31日)

考 案 者

茨城県日立市久慈町5200番地
株式会社日立製作所 大みか工場内
石田 宏一郎 (ほか 1 名)

実用新案登録出願人

〒100 東京都千代田区丸の内一丁目5番1号
株式会社日立製作所
代 表 者 吉 山 博 吉

代 理 人

〒100 東京都千代田区丸の内一丁目5番1号
株式会社日立製作所内
電話東京 270-2111 (大代表)

氏 名 6189 弁 理 士 高 橋 明



添附書類の目録

- (1) 明 書 1通
- (2) 図 面 1通 (変更を要しないため省略)
- (3) 表 紙 状 1通 (変更を要しないため省略)
- (4) 実用新案登録願副本 1通
- (5) 出願審査請求書 1通

高橋明
弁理士
6189

53-26828

前記以外の考案者，実用新案登録出願人または代理人

考 案 者

住 所 茨城県日立市久慈町 5 2 0 0 番地
株式会社 日立製作所 大みか工場内
氏 名 井 手 寿 之